

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 23/48(11) 공개번호
(43) 공개일자특2001-0086244
2001년09월10일

(21) 출원번호	10-2000-7008915
(22) 출원일자	2000년08월14일
번역문 제출일자	2000년08월14일
(86) 국제출원번호	PCT/JP1999/07066
(86) 국제출원출원일자	1999년12월16일
(87) 국제공개번호	WO 2000/36650
(87) 국제공개일자	2000년06월22일
(81) 지정국	국내특허: 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 코스타리카, 도미니카연방, 모로코, 탄자니아, 남아프리카, 그레나다, 가나, 감비아, 크로아티아, 인도네시아, 인도, 시에라리온, 유고슬라비아, 짐바브웨 AP ARIPO특허: 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 탄자니아 EA 유라시아특허: 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄 EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스 OA OAPI특허: 부르키나파소, 베냉, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기네비소
(30) 우선권주장	98-357245 1998년12월16일 일본(JP)
(71) 출원인	세이코 엡슨 가부시끼가이샤, 구사마 사부로 일본 000-000 일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1
(72) 발명자	우메츠카즈시게 일본 일본나가노켄392-8502수와시오와3초메3-5세이코엡슨가부시끼가이샤내 아마코준 일본 일본나가노켄392-8502수와시오와3초메3-5세이코엡슨가부시끼가이샤내 요츠아시니치 일본 일본나가노켄392-8502수와시오와3초메3-5세이코엡슨가부시끼가이샤내 아라카와카츠지 일본 일본나가노켄392-8502수와시오와3초메3-5세이코엡슨가부시끼가이샤내
(74) 대리인	이병호
(77) 심사청구	있음
(54) 출원명	반도체 칩, 반도체 장치, 회로 기판 및 전자기기 및 그제조 방법

명세서

기술분야

본 발명은 반도체 칩, 이 반도체 칩을 포함한 반도체 장치, 이 반도체 장치가 장착된 회로 기판, 및 이 회로 기판이 실장된 전자 기기, 및 그것들의 제조 방법에 관한 것으로, 특히 금속 범프를 형성하기 위한 관통 구멍(through hole)의 가공에 관한 것이다.

배경기술

최근, 멀티미디어 정보 기기의 진전에는 현저한 것이 있고, 전자 기기는, 소형 경량화·대용량화와 동시에 데이터 처리의 고속화가 진행되고 있다. 그에 따라서, 마이크로프로세서나 메모리의 성능도 현저하게 향상되고 있다. 그러나, 그 주변 부분의 기술 진보는 상대적으로 뒤떨어지고 있고, 예를 들면 300MHz를 넘는 주파수의 CPU 클럭은 캐시 메모리까지의 배선 노이즈, 신호 지연에 의한 오동작 및 불필요 복사가 생기기 쉽게 되어 있으며, 시스템 전체의 성능을 주변부가 제한하고 있는 상황으로 되어 있다.

35

이러한 문제를 해결하기 위해서는, 크로스토크, 신호지연 등의 전기 특성의 개선이 필요하다. 그것을 위한 접근의 하나로써, 종래, 기판상에 2차원적으로 나란하게 배열되어 있는 LSI 칩이나 부품을 3차원에 실장하고, 칩간의 배선 길이를 단축하며, 전기적 성능의 향상이나 단위 면적당의 집적도의 향상을 도모하는 방법이 제안되어 있다.

3차원 실장에 대해서는 예를 들면 일본 특개평8-264712호 공보, 일본 특개평5-63137호 공보 등에 의해 제안되어 있는 것이 있다. 이러한 것은, 반도체 웨이퍼를 겹쳐서 도전재료를 채워넣은 관통 구멍에 의해서 칩의 전극끼리를 접속하는 것에 의해 3차원의 실장을 실현하고 있다. 그러나, 이 관통 구멍은 구멍 직경이 10 μ m, 판 두께(길이)가 수백 μ m 정도의 관통 구멍이지만, 그 구멍을 어떻게 천공할지에 대해서는 명시되어 있지 않다.

이 관통 구멍의 생성 시에는 레이저 가공이나 에칭이 생각된다. 그러나, 레이저 가공의 경우에는, 가공 부산물(부유물(dross)이나 부스러기(debris) 등이라고 불린다)이 전극 주변에 부착하여 신뢰성이 저하된다. 또한, 기재의 손상(깨짐, 금) 방지의 관점에서 펄스당의 에너지를 크게 할 수 없기 때문에 관통 구멍을 생성하기 위해서는 많은 펄스를 필요로 하고, 그 때문에 가공 시간이 길어진다. 한편, 에칭의 경우에는, 이방성 에칭 기술을 사용하였다고 하여도, 결정 이방성을 위해 높은 종횡비(aspect ratio) 구조인 것을 생성할 수 없다.

발명의 상세한 설명

본 발명은 높은 종횡비·높은 신뢰성의 상하 도통 구조를 가지는 반도체 칩, 그 반도체 칩을 포함한 반도체 장치, 회로 기판 및 전자 기기 및 그것들의 제조 방법을 제공하는 것을 목적으로 한다.

(1) 본 발명의 하나의 예에 따른 반도체 칩은, 레이저 광의 조사 및 이방성 에칭을 실시하여 작성된 관통 구멍을 가지는 결정성 기판과, 관통 구멍의 내벽에 형성된 절연막과, 관통 구멍에 삽입된 도전재를 포함하고, 도전재를 통하여 결정성 기판의 한쪽의 면측과 다른쪽의 면측을 전기적으로 도통 상태로 하는 금속 범프를 구비한 것이다.

(2) 본 발명의 다른 예에 따른 반도체 칩은, 상기 (1)에 있어서, 결정성 기판의 한쪽의 면측에 절연막을 통하여 형성된 전극 패드를 구비하고, 금속 범프는, 전극 패드와 전기적으로 접속되며, 또한, 결정성 기판의 한쪽의 면에 돌출함과 동시에, 결정성 기판을 관통하여 결정성 기판의 다른쪽의 면에 돌출하여 이루어진다.

(3) 본 발명의 다른 예에 따른 반도체 칩은, 상기 (2)에 있어서, 금속 범프는, 결정성 기판의 한쪽의 면측의 상기 전극 패드의 부분으로부터 결정성 기판의 다른쪽의 면에 걸쳐서 관통하여 형성된 관통 구멍에 형성된다.

(4) 본 발명의 다른 예에 따른 반도체 칩은, 상기 (3)에 있어서, 금속 범프는, 관통 구멍의 내벽에 따라서 설치된 도전재로 이루어진다.

(5) 본 발명의 다른 예에 따른 반도체 장치는, 상기 (1) 내지 (4)의 어느 하나에 기재된 반도체 칩을, 그 금속 범프끼리 접속되어 적층된 상태에서 포함한다.

(6) 본 발명의 다른 예에 따른 회로 기판은, 상기 (5)의 반도체 장치를 포함하는 것이다.

(7) 본 발명의 다른 예에 따른 전자 기기는, 상기 (6)의 회로 기판을 포함하는 것이다.

(8) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 결정성 기판에 레이저 광을 조사하여 선행 구멍을 형성하는 공정과, 이방성 에칭을 행하여 상기 선행 구멍을 확대하여 관통 구멍을 형성하는 공정을 가진다.

(9) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (8)에 있어서, 관통 구멍의 내벽에 절연막을 형성하는 공정과, 내벽이 절연된 관통 구멍에 도전재를 형성하고, 결정성 기판의 한쪽의 면측과 다른쪽의 면측을 전기적으로 도통 상태로 하는 금속 범프를 형성하는 공정을 더 가진다.

(10) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (9)에 있어서, 결정성 기판에 형성된 전극 패드 부분에 레이저 광을 조사하여 선행 구멍을 형성하고, 전극 패드와 금속 범프를 전기적으로 접속한다.

(11) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (9) 또는 (10)에 있어서, 결정성 기판은 실리콘 기판이다.

(12) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (11)에 있어서, 실리콘 기판의 면 방위가 (100)면이다.

(13) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (11)에 있어서, 실리콘 기판의 면 방위가 (110)면이다.

(14) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (8) 내지 (13)에 있어서, 결정성 기판의 한쪽의 면측 및 다른쪽의 면측에 각각 보호막을 형성하고, 보호막을 통하여 결정성 기판에 레이저 광을 조사한다.

(15) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (14)에 있어서, 전극 패드가 형성된 측의 면으로부터 레이저 광을 조사한다.

(16) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (14)에 있어서, 전극 패드가 형성된 측과는 반대측의 면으로부터 레이저 광을 조사한다.

(17) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (14)에 있어서, 결정성 기판의 전극 패드가 형성된 측의 면 및 그 반대측의 면으로부터 레이저 광을 조사한다.

(18) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (14)에 있어서, 중앙부에 개구부를 가지는 전극 패드를 보호막으로 덮고, 레이저 광을 그 보호막을 통하여 개구부를 통과시킨다.

(19) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (18)에 있어서, 전극 패드와 결정성 기판의 표면과의 사이에 패턴화 된 보호막을 형성하고, 그 보호막의 형상에 의해 이방성 에칭의 에칭 형상을 규제한다.

- (20) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (8) 내지 (19)에 있어서, 레이저 광을 위상 격자에 의해 분기시켜 기판에 조사한다
- (21) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (8) 내지 (19)에 있어서, 레이저 광을 랜덤 편광으로 변환하여 기판에 조사한다.
- (22) 본 발명의 다른 예에 따른 반도체 칩의 제조 방법은, 상기 (8) 내지 (19)에 있어서, 레이저 광을 원 편광시켜 결정성 기판에 조사한다.
- (23) 본 발명의 다른 예에 따른 반도체 장치의 제조 방법은, 상기 (8) 내지 (22)의 제조 방법에 의해 제조된 반도체 칩을 적층하여 반도체 장치를 제조한다.
- (24) 본 발명의 다른 예에 따른 회로 기판의 제조 방법은, 상기 (23)의 반도체 장치의 제조 방법에 의해 제조된 반도체 장치를 장착하여 회로 기판을 제조한다.
- (25) 본 발명의 다른 예에 따른 전자 기기의 제조 방법은, 상기 (24)의 회로 기판의 제조 방법에 의해 제조된 회로 기판을 실장하여 전자 기기를 제조한다.

본 발명에 있어서는 그 예에 따라서 예를 들면 다음과 같은 이점이 있다.

- ① 레이저 광을 조사하여 선행 구멍을 형성한 후 이방성 에칭을 행하여 관통 구멍을 형성하도록 하였기 때문에, 두께에 대한 가는 구멍을 천공하는 것이 어렵다는 제약이 없고, 높은 중형비의 관통 구멍이 얻어진다.
- ② 또한, 레이저 가공만에 의해 관통 구멍을 생성하는 경우에는 가공시간이 길게 걸리지만, 이방성 에칭에 의해 선행 구멍을 확대하여 관통 구멍을 형성하도록 하였기 때문에, 일괄(batch) 처리가 가능해져 가공시간의 단축화가 가능하게 되고 있다. 또한, 관통 구멍의 직경의 불균일함이 적어 균일화된다.
- ③ 또한, 관통 구멍의 구멍 직경(구멍폭)의 확대는 보호막의 개구 치수나, 이방성 에칭의 시간을 조정하는 것에 의해 임의로 조정할 수 있다.
- ④ 더욱이, 레이저 광의 조사에 의해서 발생하는 부유물이나 내벽에 남는 가공 먼지가 이방성 에칭 시에 자동적으로 제거된다.
- ⑤ 레이저 가공에 의한 내벽면의 거칠기나 레이저에 의한 열적인 변질이 이방성 에칭에 의해 제거되어 실리콘의 매끄러운 결정면이 노출된다. 그 때문에, 절연막 형성 공정에 있어서 형성하는 절연막에 핀홀(pinhole)이 생기지 않도록 확실하게 형성할 수 있고, 게다가, 필요 최소한의 두께로 할 수 있다.
- ⑥ 결정성 기판은 그 표면측 및 이면측에 각각 보호막이 형성되고, 보호막을 통하여 결정성 기판에 레이저 광을 조사한다. 이 레이저 광의 조사는, 전극 패드가 형성된 측의 면, 전극 패드가 형성된 측의 반대측의 면 또는 그 양측의 면으로 이루어진다. 레이저 광의 조사에 의해 에칭하고자 하는 개소를 노출시킬 수 있기 때문에, 포토리소그라피에 의한 공정이 생략되며, 제조 비용의 삭감이 가능하게 되고 있다. 또한, 레이저 광의 조사에 의해 발생하는 부유물은 이방성 에칭 시에 제거된다. 더욱이, 상기의 보호막은 이방성 에칭 시에, 반도체 칩에 형성되어 있는 각종 소자의 보호막을 경할 수 있다.
- ⑦ 전극 패드는 그 중앙부에 개구부를 가지고 또한 보호막으로 덮여져 있으며, 레이저 광은 그 개구부를 통과한다. 이 때문에, 전극 패드는 레이저 광에 의해서 깎이는 일이 없고, 이방성 에칭 시에 에칭되는 것을 피할 수 있다.
- ⑧ 전극 패드와 기판과의 사이에 패턴화 된 보호막이 형성되고, 그 보호막의 형상에 의해 이방성 에칭의 에칭 형상을 규제한다. 이 때문에, 보호막의 형상에 의해 임의의 에칭 형상이 얻어지며, 임의의 형상의 관통 구멍이 얻어진다.
- ⑨ 레이저 광을 위상 격자에 의해 분기시켜 기판에 조사하기 때문에, 동시에 복수 개소의 선행 구멍을 천공할 수 있기 때문에, 가공시간을 대폭 단축할 수 있다.
- ⑩ 레이저 광을 원 편광시켜 기판에 조사하기 때문에, 선행 구멍의 가공 굴곡이 억제되고, 구멍 직경의 불필요한 확대를 억제할 수 있다. 또한, 선행 구멍의 가공 굴곡이 억제되기 때문에, 그 만큼 구멍 위치의 정밀도가 높아져서 신뢰성이 높아진다. 그리고 또한, 이로써 전극 패드도 작게 할 수 있다. 레이저 광을 원 편광시키는 대신에, 레이저 광을 랜덤 편광으로 변환하더라도 같은 효과가 얻어진다.
- ⑪ 표면에 전극 패드가 형성된 기판의 전극 패드 부분에 레이저 광을 조사하여 선행 구멍을 형성한 후 에칭을 행하여 선행 구멍을 확대하여 관통 구멍을 형성하도록 하였기 때문에, 결정성을 갖지 않는 기판이라도 소정의 효과(높은 중형비·높은 신뢰성의 상하 도통 구조를 가지는 반도체 칩을 효율 좋게 제조할 수 있다)가 얻어진다.
- ⑫ 반도체 칩을 적층하여 반도체 장치를 제조한다. 이 때문에, 이 반도체 장치의 제조 방법은 상기의 이점을 포함하게 된다. 더욱이, LSI 칩을 3차원적으로 실현할 수 있기 때문에, 배선 길이가 짧아져서 전기적 성능이 향상되고(고속화, 불필요한 복사파의 감소, 오동작의 감소), 또한, 단위 면적당의 집적도가 향상되기 때문에, 각종 전자 기기를 소형화 할 수 있다. 반도체 칩끼리를 직접 적층하여 반도체 장치를 제조하기 때문에, 피라미드형이 아닌, 직방체형으로 적층할 수 있고, 이 점으로부터도 단위 면적당의 집적도가 향상된다.

도면의 간단한 설명

도 1a 및 도 1b는 본 발명의 실시예 1에 따른 반도체의 제조 방법(그 1) 및 그 비교예를 도시한 공정도.

도 2a 및 도 2b는 본 발명의 실시예 1에 따른 반도체의 제조 방법(그 2) 및 그 비교예를 도시한 공정도.

도 3은 본 발명에 따른 반도체 장치의 정면도.

도 4a 내지 도 4c는 각종 소자가 표면에 형성되어 있는 실리콘 기판의 설명도.

도 5는 도 3의 반도체 장치의 제조 방법의 공정도(그 1).

도 6은 도 3의 반도체 장치의 제조 방법의 공정도(그 2).

도 7은 도 3의 반도체 장치의 제조 방법의 공정도(그 3).

도 8은 본 발명의 실시예 2의 공정 설명도.

도 9는 본 발명의 실시예 3의 공정 설명도.

도 10은 본 발명의 실시예 4의 공정 설명도.

도 11은 상기의 각 실시예에 있어서 레이저 광에 의해 실리콘 기판에 선행 구멍을 천공할 때의 장치의 구성예를 도시한 도면.

도 12a 및 도 12b는 도 11의 장치에 의한 가공 상태를 도시하는 설명도.

도 13은 상기의 각 실시예에 있어서 레이저 광에 의해 실리콘 기판에 선행 구멍을 천공할 때의 장치의 다른 구성을 도시한 도면.

도 14a 내지 도 14d는 도 13의 장치에 의해 레이저 광을 원 편광시켰었을 때, 레이저광을 랜덤 편광으로 변환하였을 때, 및 직선편광(S 편광)시켰을 때의 선행 구멍의 상태를 도시하는 설명도.

도 15a 및 도 15b는 편광과 SI의 레이저 광 흡수율의 관계를 도시한 도면.

도 16은 상술한 실시예에 따른 반도체 장치를 실장한 회로 기판의 설명도.

도 17은 도 16의 회로 기판이 실장된 노트북 퍼스널 컴퓨터의 사시도.

도 18은 도 16의 회로 기판이 실장된 휴대전화의 사시도.

도 19 및 도 20은 레이저 광을 조사하여 선행 구멍을 생성하였을 때의 특성도.

도 21a, 도 21b 및 도 21c는, 실시예 3으로서, 레이저 광을 조사하여 선행 구멍을 형성하였을 때의 레이저 입사면, 레이저 출사면 및 구멍측 단면(절단 관찰면)의 확대도.

도 22a 및 도 22b는, 실시예 4로서, 레이저광을 조사하여 생성된 부유물의 에칭전의 상태와 에칭후의 상태를 도시한 도면.

도 23a, 도 23b 및 도 23c는, 실시예 5로서, 에칭 처리후의 가공 구멍의 상태를 도시한 입사면, 단면(절단 관찰면) 및 출사면을 각각 도시한 도면.

도 24a, 도 24b 및 도 24c는, 실시예 6으로서, 에칭처리를 15분 실시하였을 때의 각 선행 구멍의 상태를 도시한 단면(절단 관찰면)을 각각 도시한 도면.

도 25a, 도 25b 및 도 25c는, 실시예 6으로서, 에칭처리를 30분 실시하였을 때의 각 선행 구멍의 상태를 도시한 단면(절단 관찰면)을 각각 도시한 도면.

도 26a, 도 26b 및 도 26c는, 실시예 6으로서, 에칭처리를 60분 실시하였을 때의 각 선행 구멍의 상태를 도시한 단면(절단 관찰면)을 각각 도시한 도면.

도 27a, 도 27b 및 도 27c는 실시예 6으로서, 에칭 처리를 90분 실시하였을 때의 각 선행 구멍의 상태를 도시한 단면(절단 관찰면)을 각각 도시한 도면.

도 28a, 도 28b 및 도 28c는, 실시예 6으로서, 에칭처리를 120분 실시하였을 때의 각 선행 구멍의 상태를 도시한 단면(절단 관찰면)을 각각 도시한 도면.

도 29a는 및 도 29b는 면 방위(110)면의 실리콘 기판에 산화막을 형성한 후에 레이저를 조사하여 그 후에 에칭처리를 실시하였을 때의 단면(절단 관찰면)을 도시한 도면.

도 30은 면 방위(100)면의 실리콘 기판에 기울기 45도의 구멍을 레이저 가공하여 에칭한 경우의 평면도.

도 31a 및 도 31b는 도 30의 A-A 단면도 및 도 30의 B-B 단면도.

도 32는 면 방위(100)면의 실리콘 기판에 수직도의 구멍을 레이저 가공하여 에칭한 경우의 평면도.

도 33a, 도 33b 및 도 33c는 도 32의 A-A 단면도, B-B 단면도 및 C-C 단면도.

도 34는 면 방위(110)면의 실리콘 기판에 수직도의 구멍을 레이저 가공하여 에칭한 경우의 평면도.

도 35a, 도 35b 및 도 35c는 도 34의 A-A 단면도, B-B 단면도 및 C-C 단면도.

도 36 및 도 37은 관통 구멍 및 막힘 구멍(미관통 구멍)의 단면(절단 관찰면)을 도시한 도면.

실시예

실시예 1

도 1a는 본 발명의 실시예 1에 따른 반도체 칩의 제조 방법(그 1)을 도시한 공정도이다. 이 제조 방법에 있어서는, 도 1a에 도시되는 바와 같이, 면 방위가 (110)면을 가지는 실리콘 기판(1)상에 산화막(2)을 패터닝하여 형성하고, 레이저 광에 의해 관통 구멍(선행 구멍; 3)을 천공한다. 그리고, 이방성 에칭을 실시하면, 면 방위(111)면이 나타나서 멈출 때까지 에칭이 진행하며, 도시한 바와 같은 높은 종횡비의 관통 구멍(4)이 형성된다.

그런데, 비교예로서 들 수 있는 도 1b에 도시되는 바와 같이, 이방성 에칭만을 실시한 경우에는 면 방위(111)면에서 에칭이 멈춘다(표면과의 이루는 각도 35.4도). 이 때문에, 판 두께(t)와 개구(L)와의 관계가 $t > \text{약 } 0.7L$ 이면 관통 구멍을 생성할 수 없다.

도 2a는 본 발명의 실시예 1에 따른 반도체 칩의 제조 방법(그 2)을 도시한 공정도이다. 이 제조 방법에 있어서는, 도 2a에 도시되는 바와 같이, 면 방위가 (100)면을 가지는 실리콘 기판(5)상에 산화막(2)을 패터닝하여 형성하고, 레이저 광에 의해 관통 구멍(3)을 천공한다. 그리고, 이방성 에칭을 실시하면, 면 방위(111)면이 나타나서 멈출 때까지 에칭이 진행하며, 도시하는 바와 같은 높은 종횡비의 관통 구멍(6)이 형성된다.

그런데, 비교예로서 들 수 있는 도 2b에 도시되는 바와 같이, 이방성 에칭만을 실시한 경우에는, 면 방위(111)면에서 에칭이 멈춘다(표면과의 이루는 각도 54.7도). 이 때문에, 판 두께(t)와 개구(L)와의 관계가 $t > \text{약 } 1.4L$ 이면 관통 구멍을 생성할 수 없다.

또, 도 1a 및 도 2a에서는, 결정면에서 에칭이 깨끗하게 멈추고 있지만, 이 사실은 레이저 조사에 의해 결정성이 열화된 부분이 제거되고 있는 것을 나타내고 있다. 환언하면, 관통 구멍 이외의 부분(예를 들면 소자 부분)에는 열화가 없음을 나타내고 있다.

도 3은 본 발명에 따른 반도체 장치(40)의 평면도이다. 이 반도체 장치(40)는, 반도체 칩(29)이 도시한 바와 같이 적층되어 구성되어 있다. 또, 이 반도체 장치(40)는, 반도체 칩(29)끼리가 금속 범프(30)를 통하여 전기적으로 접속되어 적층되어 있고, 그 점에 있어서, 1장의 리드 프레임의 양면에 반도체 칩이 배치된 디바이스와는 다르다. 그리고, 이 반도체 칩(29)은, 예를 들면 DRAM, SRAM, 플래시 메모리 등의 기억장치, 논리회로 등으로 구성되며, 또는 서로 적층하는 것으로, 예를 들면 시스템 LSI를 구성할 수 있다.

도 4a는 제조 도중의 반도체 칩의 부분 평면도이고, 도 4b는 도 4a의 B-B 단면도이며, 도 4c는 도 4a의 C-C 단면도이다. 면 방위가(100)면의 실리콘판(10)에는, 트랜지스터, 저항소자, 배선 등을 포함하는 소자영역(9) 및 전극 패드로서의 알루미늄막(12)이 형성되어 있다. 이 알루미늄막(12)은, 산화막(11)을 통하여 실리콘 기판(10)상에 형성되어 있으며, 또한, 소자영역(9)과 전기적으로 접속되어 있다.

도 5 내지 도 7는 도 3의 반도체 장치의 제조 방법의 공정도이고, 이 공정도를 참조하면서 그 제조 방법을 설명한다.

(a) 도 4a 내지 도 4c에 도시하는 상태의, 면 방위가(100)면의 실리콘 기판(10)에 있어서의 알루미늄막(12)상에 내Si 에칭막으로 이루어지는 산화 실리콘막(13)을 CVD 법(또는 PVD 법)으로 형성한다. 여기서는 산화 실리콘막(13)을 사용한 예를 나타내었지만, 내Si 에칭막으로서의 특성을 가지는 산화막이라면 이것에 한정되지 않는다. 예를 들면 질화 실리콘막을 사용할 수 있다. 이것은 다음의 (b)에 있어서도 같다.

(b) 실리콘 기판(10)의 이면에도 동일하게 하여 산화 실리콘막(14)을 CVD 법(또는 PVD 법)으로 형성한다. 또, 이 이전의 공정에서 이면의 감삭 가공 등을 행하여, 기판 자체를 얇게 할 수도 있다.

(c) 레이저 광을 조사하여 알루미늄막(12)을 관통하는 선행 구멍(15)을 실리콘 기판(10)에 형성한다. 이 때, 레이저 광의 입사부 및 출사부의 주변에는 부유물(16)이 발생한다. 이 레이저 광의 조건 등은 후술하는 실시예에 있어서 기재되어 있다.

(d) 이방성 에칭을 행하여 선행 구멍(15)의 직경을 더욱 크게 한다. 이 때의 알루미늄막(12)의 레이저 광의 조사에 의해 형성된 구멍도, 에칭에 의해 그 직경이 커진다(후퇴한다). 이 이방성 에칭의 조건은 후술하는 실시예에 있어서 기재되어 있다.

(e) 이방성 에칭에 의해 형성된 구멍(17)의 내벽에 산화 실리콘막(18)을 CVD 법(또는 PVD 법)으로 형성한다. 이 때, 알루미늄막(12)의 구멍의 내벽에도 산화막(12a)이 형성되게 된다. 커버리지(coverage)의 점을 고려하면, 양측의 면으로부터 산화 실리콘을 형성하는 것이 바람직하다. 또, 본 실시예 1에 있어서는 이 산화막(12a)을 위해, 도 6(i) 이후의 처리가 필요하게 되고 있다. 산화막(12a)은 절연성이 있으면 좋고, 산화막(12a)의 대신에, 질화 실리콘이나 폴리이미드나 테플론(Teflon) 등이라도 좋다. 단, 전파 지연 특성을 고려하면 저 유전율 재료가 바람직하다.

(f) 구리 도금을 실시하여 실리콘 기판(10)의 표면 및 이면에 구리 도금층(19 및 20)을 각각 형성함과 동시에, 내벽에 산화 실리콘막(18)이 형성된 구멍(17)에 구리 도금재(20a)를 충전한다.

(g) 구리 도금층(19 및 20)의 위에, 포토리소그래피 기술에 의해 포토레지스트(21 및 22)를 각각 형성한다.

(h) 포토 에칭을 행하고, 구리 도금층(19 및 20) 중, 포토레지스트(21 및 22)에 의해 덮여진 개소를 제외한 다른 부분을 제거한다.

(i) 포토리소그래피 기술에 의해 레지스터(23 및 24)를 형성한다. 레지스터(23)에 대해서는, 알루미늄막(12)의 위에 위치하는 산화 실리콘막(13)의 일부가 외부로 노출하도록 형성되어 있다.

(j) 외부에 노출된 산화 실리콘막(13)을 드라이 에칭을 행하여 제거한다. 이 드라이 에칭에 의해 산화 실리콘막(13)의 일부가 알루미늄막(12)의 위에 남게 된다(여기에는 부호(12a)가 붙어 있다).

(k) 레지스터(23 및 24)를 박리한다.

(l) 전면에 구리 도금(무전해)을 실시하여 구리 도금층(25, 26)을 형성한다.

(m) 구리 도금층(25, 26)의 위에 레지스터(27, 28)를 각각 형성한다.

(n) 포토 에칭에 의해 레지스터(27, 28)의 안쪽에 있는 구리 도금층(25, 26)을 제외하고, 이들의 구리 도금층(25, 26)을 제거한다. 이상의 처리에 의해 반도체 칩(IC 칩; 29)이 완성되게 된다.

(o) 그리고, 구리 도금층(19, 25), 구리 도금재(20a) 및 구리 도금층(20, 26)으로 구성되는 금속 범프(30)에 땀납(31) 또는 금을 부착한다. 또, 땀납(31)의 대신에, 이방성 도전막(ACF), 볼 범프, 도전 접착제 등을 사용하여도 좋다.

(p) 뿔납(31)의 위에, 상기와 동일하게 하여 형성된 반도체 칩(29)을 재치하여 용착한다. 이상의 처리를 반복하는 것에 의해 도 3의 다층 구조의 반도체 장치(40)가 얻어진다.

또, 상기의 설명은 면 방위가 (100)면의 실리콘 기판(10)에 대하여 이루어졌지만, 면 방위가 (110)면의 실리콘 기판에 대해서도 마찬가지로 적용된다. 또한, 선행 구멍을 생성할 때, 실리콘 기판(10)의 표면으로부터 레이저 광을 조사한 예에 대해서 설명하였지만, 이것은 이면측으로부터 조사하여도 좋다. 그 경우에는 표면측의 구멍 직경이 작아지고, 금속 범프의 사이즈를 작게 할 수 있다.

실시예 2

도 8은 본 발명의 실시예 2의 공정 설명도이고, 이것은 도 5a에 대응하고 있다. 본 실시예 2에 있어서는, 전극 패드로서 금막(41)을 사용하고 있다. 금막(41)에는 실시예 1의 도 5d에 있어서의 산화막(12a)이 형성되지 않기 때문에, 실시예 2에서는 도 6i 내지 도 7n의 처리는 불필요하게 되어 있다.

실시예 3

도 9는 본 발명의 실시예 3의 공정 설명도이고, 이것은 도 5b, 도 5c에 대응하고 있다. 본 실시예 3에 있어서는, 알루미늄막(12)의 중앙부에 구멍(12b)을 미리 형성하여 둔다. 이와 같이 알루미늄막(12)에 구멍(12b)을 형성하고 있기 때문에, 레이저 광(42)의 조사 시에 후퇴하지 않는다. 그리고, 알루미늄막(12)이 산화 실리콘막(11, 13)에 의해서 덮여지고 있기 때문에, 이방성 에칭 시에 에칭되지 않고(후퇴하지 않는다), 또한, 산화 실리콘막(18)을 형성할 때에 산화막(12a)이 발생하지 않는다. 이 때문에, 본 실시예 3에 있어서도 도 6i 내지 도 7n의 처리는 불필요하게 되고 있다.

실시예 4

도 10은 본 발명의 실시예 4의 공정 설명도이고, 이것은 도 5a에 대응하고 있다. 본 실시예 4에 있어서는, 도 9의 예와 같이 알루미늄막(12)의 중앙부에 구멍(12b)을 미리 형성하여 두는 동시에, 산화 실리콘막(11)을 패턴화 하여 실리콘 기판(10)의 일부를 노출시켜 둔다. 이와 같이 하는 것으로 알루미늄막(12)의 후퇴를 피할 수 있는 동시에, 이방성 에칭 시의 에칭 패턴(관통 구멍의 형상)이 규격화된다.

실시예 5

도 11은 상기의 각 실시예에 있어서 레이저 광에 의해 실리콘 기판(10)에 선행 구멍(15)을 천공할 때의 장치의 구성을 도시한 도면이다. 레이저 광원(50)으로부터의 레이저 광(42)은, 빔 익스팬더(51; beam expander) 및 반사 미러(52)를 거쳐서 위상 격자(53)에 도달한다. 그리고, 위상 격자(53)로 분기되어 실리콘 기판(10)에 조사된다.

도 12a 및 도 12b는 이 때의 상태를 도시하는 설명도이다. 레이저 광(42)은

위상 격자(53)로써 이 예에서는 4분기되어 실리콘 기판(10)에 조사되어 선행 구멍(15)을 천공한다. 이 분기는, 예를 들면 최초에 X 방향으로 분기하고, 다음에 방향을 바꿔(위상 격자(53)와 실리콘 기판(10)과의 상대 이동에 의해) Y 방향으로 분기시킨다. 또는, 위상 격자(53)에 의해 X 방향과 Y 방향을 동시에 분기시키도록 하여도 좋다. 이렇게 하여 동시에 복수의 선행 구멍(15)을 천공할 수 있기 때문에, 가공시간의 단축화가 가능하게 되고 있다. 게다가, 2차원적인 분기도 가능하고, 이 경우에는 1 칩 또는 1 웨이퍼를 일괄로 가공할 수도 있다.

실시예 6

도 13은 상기의 각 실시예에 있어서 레이저 광에 의해 실리콘 기판(10)에 선행 구멍(15)을 천공할 때의 장치의 구성을 도시한 도면이고, 여기서는 빔 익스팬더(51)의 출사측에 $\lambda/4$ 편광판(56)이 설치되어 있고, 레이저 광(42)을 원 편광시키고 있다.

도 14a는 도 13의 장치에 의해 레이저 광을 원 편광시켰을 때의 가공 구멍의 상태를 도시한 설명도이다. 도 14b는 레이저 광을 랜덤 편광으로 변환하였을 때의 가공 구멍의 상태를 도시한 설명도이다. 도시한 바와 같이 선행 구멍(15)이 굵지 않고 똑바르게 형성되어 있음을 알 수 있다. 도 14c 및 도 14d는 레이저 광을 직선 편광시킨 경우의 가공 구멍의 상태를 도시한 설명도이다. 도시한 바와 같이, 선행 구멍(15)이 굴곡되어 비뚤어져 있음을 알 수 있다. 이것은, 내벽에 대하여 P 편광과 S 편광에서는 흡수율이 다르기 때문에 일어나는 현상이라고 생각되며(도 15a 및 도 15b 참조), 일단 어느 하나의 방향으로 기울어 가공이 촉진되면 관통 구멍의 도광 효과에 의해 더욱 그 기울기가 촉진되기 때문이라고 생각된다. 이것에 대하여, 레이저 광을 랜덤 편광으로 변환시킨 경우나 레이저 광을 원 편광시킨 경우에는, S 편광·P 편광이 불규칙하게 조사되고, S 편광·P 편광의 기울어짐이 없기 때문에, 관통 구멍이 굴곡되어 가는 현상을 효과적으로 억제할 수 있다.

도 15a 및 도 15b는 직선편광과 Si에 대한 레이저 광 흡수율과의 관계를 도시한 도면이다. 이들의 도면으로부터 P 편광쪽이 S 편광보다도 흡수율이 높다(특히 80°전후로 높아진다). 이 때문에, 직선편광의 경우는 굴곡될 가능성이 높아진다고 생각된다.

실시예 7

상술한 예는 모두 실리콘 기판에 수직구멍을 레이저 가공하여 에칭하는 예에 대하여 설명하고 있지만, 본 발명은 그것에 한정되는 것은 아니며, 레이저 가공에 의해 기울어진 구멍을 형성하도록 하여도 좋다. 그 구체에는 도 30 내지 도 37에 있어서 상세하게 도시되어 있지만, 면 방위가 (100)면의 실리콘 기판에 기운 구멍을 레이저 가공에 의해 생성한 경우에는, 면 방위(110)면의 실리콘 기판의 경우와 같이, 다음과 같은 이점이 있다.

- 내부에서 넓어지지 않는 스트레이트한 구멍을 형성할 수 있기 때문에, 구멍간 피치를 보다 작게 할 수 있다.
- 구멍쪽은 산화막의 치수와 동일하게 할 수 있기 때문에, 에칭시간으로 구멍 폭을 제어할 필요가 없다.
- 구멍 단면 형상은 면 방위(111)면에서 규정할 수 있기 때문에, 형상의 불균일함이 없다.

실시예 8

도 16은 상술한 실시예에 따른 반도체 장치를 실장한 회로 기판의 설명도이다. 회로 기판(100)에는 예를 들면 유리 에폭시 수지 기판 등의 유기 계 기판을 사용하는 것이 일반적이다. 회로 기판(100)에는 예를 들면 구리 등으로 이루어지는 배선 패턴이 원하는 회로가 되도록 형성되어 있고, 그것들의 배선 패턴과 상술한 반도체 장치(40)의 외부단자를 기계적으로 접속하는 것으로, 그 전기적 도통을 도모한다. 그리고, 그 회로 기판(100)을 탑재한 전자 기기로서, 도 17에는 노트북 퍼스널 컴퓨터(200), 도 18에는 휴대전화(300)가 도시되어 있다.

다음에, 상술한 실시예의 구체예를 실시예로서 설명한다.

실시예 1

도 19 및 도 20은 레이저 광을 조사하여 선행 구멍을 생성하였을 때의 특성도이다. 도 19는 1kHz 에서의 레이저의 쇼트(shot)수와 구멍 깊이와의 관계를 레이저 파워(5mW 내지 2000mW)를 파라미터로 하여 도시하고 있다. 도 20은 1kHz 에서의 레이저의 쇼트수와 구멍폭과의 관계를 레이저 파워(5mW 내지 2000mW)를 파라미터로 하여 도시하고 있다. 모두, 높은 종횡비의 선행 구멍이 얻어지고 있음을 알 수 있다. 또, 이 때의 레이저는, 제 2 고조파의 Q 스위치 YAG 레이저를 사용하고, 광학계는 집광 렌즈(f100)를 사용하고 있다.

실시예 2

또한, 상기의 실시예 1에 있어서 이방성 에칭에 의해 선행 구멍을 확대하였을 때의 에칭의 조건은 다음과 같다.

<에칭의 조건>

에칭액 : KOH 수용액

농도 : 35% 중량

액온도: 80℃

에칭시간: 1시간(짧으면 가는 구멍, 길면 모두 (111)면이 출현

<웨이퍼 조건>

재질 : Si(100)(면 방위(100)면의 결정성 실리콘.

이하에 있어서도 마찬가지로 표현한다.)

판 두께: 판 두께 550μm

또, 에칭액으로서, KOH 수용액의 대신에 유기 알칼리 에칭액, 예를 들면 하이드라진, EPW(에틸렌디아민-피로카데콜-수), TMAH(수산화테트라메틸암모늄) 등, 을 사용할 수 있다.

실시예 3

도 21a, 도 21b 및 도 21c는 레이저 광(원 편광이 실시되고 있다)을 조사하여 선행 구멍을 형성하였을 때의 레이저 입사면, 구멍측 단면, 레이저 출사면 및 구멍측 단면(절단 관찰면)의 확대도이다. 도 21a 및 도 21b의 레이저 입사면 및 레이저 출사면은 원형으로 되어 있고, 그 근방에 부유물이 발생하고 있다. 또한, 도 21c의 선행 구멍은 그 직선성(판 두께 550μm)이 뛰어난 것으로 되어 있다. 또, 도 21a 및 도 21b의 도면의 하부에 도시되어 있는, 예를 들면 도 21a 「× 2.0 0K」는 200배로 확대되어 있는 것을 의미하며, 도 21b의 「×200」는 200배로 확대되어 있는 것을 의미한다. 또한, 도 21a의 「15.0μm」는 그 근방에 기재되어 있는 도트의 좌단으로부터 우단까지의 거리를 도시하고 있다(이 예에서는 전도트분으로 15μm이다). 이러한 것은 후술하는 다른 도면에 있어서도 같다.

실시예 4

도 22a 및 도 22b는, 레이저 광을 조사하여 선행 구멍을 생성하였을 때에 발생한 부유물의 에칭전의 상태와 에칭후의 상태를 도시한 도면이다(상술한 도 5c, 도 5d에 대응). 에칭처리를 실시한 후에는 부유물이 제거되어 있음을 알 수 있다.

<레이저 조건> 레이저 파장: 532μm

집광 렌즈 :f100mm

램프 전류 : 28A

<가공조건> 발진 주파수 : 1kHz

파워 : 300mW

쇼트수 : 300 쇼트

직선 편광 방향 : 도면의 좌우방향(자장)

<웨이퍼 조건>

재질 : Si(100)

판 두께 : 550μm

표면 상태 : 산화막 부착

<에칭 조건>

에칭액 : KOH 수용액

농도/온도 : 35%/80℃

에칭 시간 : 1시간

실시에 5

도 23a, 도 23b 및 도 23c는, 에칭 처리후의 가공 구멍의 상태를 도시한 일사면, 단면(절단 관찰면) 및 출사면을 각각 도시하고 있다. 이 때의 레이저의 수단 등은 다음과 같다.

<레이저 조건> 레이저 파장: 532μm

집광 렌즈 : f100mm

램프 전류 : 28A

<가공 조건> 발진 주파수 : 1kHz

파워 : 300mW

쇼트수 : 300 쇼트

<웨이퍼 조건>

재질 : Si(100)

판 두께 : 550μm

표면 상태 : 산화막 부착

<에칭 조건>

에칭액 : KOH 수용액

농도/온도 : 35%/80℃

에칭 시간 : 1시간

실시에 6

본 실시예에 있어서는 에칭의 처리 시간과 선행 구멍의 형상과의 관계를 조사하였다. 이 때의 레이저의 수단 등은 다음과 같다.

<레이저 조건> 레이저 파장: 532μm

집광 렌즈 : f100mm

램프 전류 : 28A

<가공 조건> 발진 주파수 : 1kHz

쇼트수 : 50, 500, 5000

<웨이퍼 조건>

재질 : Si(100)

판 두께 : 550μm

산화막 : 1.5μm

산화막 패턴 : 없음

<에칭 조건>

에칭액 : KOH 수용액

농도/온도 : 35%/80℃

도 24a, 도 24b 및 도 24c는 에칭처리를 15분 실시하였을 때의 각 선행 구멍(레이저 쇼트수 50, 500, 5000)의 상태를 도시한 단면(절단 관찰면)을 각각 도시하고 있다.

도 25a, 도 25b 및 도 25c는 에칭처리를 30분 실시하였을 때의 각 선행 구멍(레이저 쇼트수 50, 500, 5000)의 상태를 도시한 단면(절단 관찰면)을 각각 도시한다.

도 26a, 도 26b 및 도 26c는 에칭처리를 60분 실시하였을 때의 각 선행 구멍(레이저 쇼트수 50, 500, 5000)의 상태를 도시한 단면(절단 관찰면)을 각각 도시한다.

도 27a, 도 27b 및 도 27c는 에칭 처리를 90분 실시하였을 때의 각 선행 구멍(레이저 쇼트수 50, 500, 5000)의 상태를 도시한 단면(절단 관찰면)을 각각 도시한다.

도 28a, 도 28b 및 도 28c는 에칭처리를 120분 실시하였을 때의 각 선행 구멍(레이저 쇼트수 50, 500, 5000)의 상태를 도시한 단면(절단 관찰면)을 각각 도시한다.

상기의 도면으로부터 분명한 바와 같이, 에칭시간을 제어하는 것에 의해 선행 구멍의 형상을 제어할 수 있음을 알 수 있다.

실시에 7

도 29a는 및 도 29b는, 면 방위(110)면을 가지는 실리콘 기판에 산화막을 형성한 후에 레이저를 조사하고 그 후에 에칭처리를 실시하였을 때의 단면(절단 관찰면)을 도시하고 있다. 도 29a는 레이저 미관통 구멍에 에칭처리를 실시하였을 때의 것이며, 도 29b는 레이저 관통 구멍에 에칭처리를 실시하였을 때의 것이다. 모든 경우에 있어서도 면 방위(111)면이 출현하고, 똑바른 선행 구멍이 얻어진다.

실시에 8

다음에, 레이저 가공에 의해 경사진 구멍을 형성한 경우의 예를 수직 구멍과의 대비에 있어서 설명한다.

도 30은 면 방위(100)면의 실리콘 기판(5)에 기울기 45도의 구멍을 레이저 가공하여 에칭한 경우의 평면도이다. 도 31a는 도 30의 A-A 단면도이며, 도 31b는 도 30의 B-B 단면도이다. 여기서는, 면 방위(111)면이 출현하여 에칭이 멈추었을 때의 형상이 도시되어 있다. 또, 도면에 있어서는 경사진 구멍의 예로서 관통 구멍(미관통 구멍:61)의 예가 도시되어 있다.

도 32는 면 방위(100)면의 실리콘 기판(5)에 수직도의 구멍을 레이저 가공하여 에칭한 경우의 평면도이다. 도 33a는 도 32의 A-A 단면도, 도 33b는 도 32의 B-B 단면도이며, 도 33c는 도 32의 C-C 단면도이다. 여기서도 면 방위(111)면이 출현하여 에칭이 정지하였을 때의 형상이 나타나 있다.

도 34는 면 방위(110)면의 실리콘 기판(1)에 수직도의 구멍을 레이저 가공하여 에칭한 경우의 평면도이다. 도 35a는 도 34의 A-A 단면도, 도 35b는 도 34의 B-B 단면도이고, 도 33c는 도 32의 C-C 단면도이다. 여기서도 면 방위(111)면이 출현하여 에칭이 정지하였을 때의 형상이 도시되어 있다.

도 36 및 도 37은 도 31a 또는 도 31b에 대응한 관통 구멍(60) 및 막힌 구멍(미관통 구멍: 61)의 단면(절단 관찰면)을 도시하고 있다.

이들의 도면으로부터 면 방위(100)면을 가지는 실리콘 기판에 경사 구멍을 레이저 가공에 의해 생성한 경우에는 상술한 실시예 7에서 설명한 이점을 알 수 있다.

(57) 청구의 범위

청구항 1.

레이저 광의 조사 및 이방성 에칭을 실시하여 작성된 관통 구멍을 가지는 결정성 기판과,

상기 관통 구멍의 내벽에 형성된 절연막과,

상기 관통 구멍에 삽입된 도전재를 포함하고, 상기 도전재를 통하여 상기 결정성 기판의 한쪽의 면측과 다른쪽의 면측을 전기적으로 도통 상태로 하는 금속 범프를 구비하는, 반도체 칩.

청구항 2.

제 1 항에 있어서,

상기 결정성 기판의 한쪽의 면측에 절연막을 통하여 형성된 전극 패드를 구비하고, 상기 금속 범프는, 상기 전극 패드와 전기적으로 접속되며, 또한, 상기 결정성 기판의 한쪽의 면으로 돌출하는 동시에, 상기 결정성 기판을 관통하여 상기 결정성 기판의 다른쪽의 면으로 돌출하게 되는, 반도체 칩.

청구항 3.

제 2 항에 있어서,

상기 금속 범프는, 상기 결정성 기판의 한쪽의 면측의 상기 전극 패드의 부분으로부터 상기 결정성 기판의 다른쪽의 면에 걸쳐서 관통하여 형성된 관통 구멍에 형성되는, 반도체 칩.

청구항 4.

제 3 항에 있어서,

상기 금속 범프는, 상기 관통 구멍 내벽에 따라서 설치된 도전재로 이루어지는, 반도체 칩.

청구항 5.

레이저 광의 조사 및 이방성 에칭을 실시하여 작성된 관통 구멍을 가지는 결정성 기판과, 상기 관통 구멍의 내벽에 형성된 절연막과, 상기 관통 구멍에 삽입된 도전재를 포함하고, 상기 도전재를 통하여 상기 결정성 기판의 한쪽의 면측과 다른쪽의 면측을 전기적으로 도통 상태로 하는 금속 범프를 구비한 반도체 칩을, 그 금속 범프끼리 접속되어 적층된 상태로 포함하는 반도체 장치.

청구항 6.

반도체 장치를 포함하고, 상기 반도체 장치는, 레이저 광의 조사 및 이방성 에칭을 실시하여 작성된 관통 구멍을 가지는 결정성 기판과, 상기 관통 구멍의 내벽에 형성된 절연막과, 상기 관통 구멍에 삽입된 도전재를 포함하고, 상기 도전재를 통하여 상기 결정성 기판의 한쪽의 면측과 다른쪽의 면측을 전기적으로 도통 상태로 하는 금속 범프를 구비한 반도체 칩이, 그 금속 범프끼리 접속되어 적층되도록 구성되어 있는, 회로 기판.

청구항 7.

반도체 장치가 장착된 회로 기판이 탑재되고, 상기 반도체 장치는, 레이저 광의 조사 및 이방성 에칭을 실시하여 작성된 관통 구멍을 가지는 결정성 기판과, 상기 관통 구멍의 내벽에 형성된 절연막과, 상기 관통 구멍에 삽입된 도전재를 포함하며, 상기 도전재를 통하여 상기 결정성 기판의 한쪽의 면측과 다른쪽의 면측을 전기적으로 도통 상태로 하는 금속 범프를 구비한 반도체 칩이, 그 금속 범프끼리 접속되어 적층되도록 구성되어 있는, 전자 기기.

청구항 8.

결정성 기판에 레이저 광을 조사하여 선행 구멍을 형성하는 공정과,

이방성 에칭을 행하여 상기 선행 구멍을 확대하여 관통 구멍을 형성하는 공정을 가지는, 반도체 칩 제조 방법.

청구항 9.

제 8 항에 있어서,

상기 관통 구멍의 내벽에 절연막을 형성하는 공정과,

상기 내벽이 절연된 관통 구멍에 도전재를 형성하고, 상기 결정성 기판의 한쪽의 면측과 다른쪽의 면측을 전기적으로 도통 상태로 하는 금속 범프를 형성하는 공정을 더 가지는, 반도체 칩 제조 방법.

청구항 10.

제 9 항에 있어서,

상기 결정성 기판에 형성된 전극 패드 부분에 레이저 광을 조사하여 선행 구멍을 형성하고, 상기 전극 패드와 상기 금속 범프를 전기적으로 접속하는 반도체 칩 제조 방법.

청구항 11.

제 9 항 또는 제 10 항에 있어서,

상기 결정성 기판은 실리콘 기판인, 반도체 칩 제조 방법.

청구항 12.

제 11 항에 있어서,

상기 실리콘 기판의 면 방위가 (100)면인, 반도체 칩 제조 방법.

청구항 13.

제 11 항에 있어서,

상기 실리콘 기판의 면 방위가 (110)면인, 반도체 칩 제조 방법.

청구항 14.

제 8 항 내지 제 13 항중 어느 한 항에 있어서,

상기 결정성 기판의 한쪽의 면측 및 다른쪽의 면측에 각각 보호막을 형성하고, 상기 보호막을 통하여 상기 결정성 기판에 레이저 광을 조사하는, 반도체 칩 제조 방법.

청구항 15.

제 14 항에 있어서,

상기 전극 패드가 형성된 측의 면으로부터 레이저 광을 조사하는, 반도체 칩 제조 방법.

청구항 16.

제 15 항에 있어서,

상기 전극 패드가 형성된 측과는 반대측의 면으로부터 레이저 광을 조사하는, 반도체 칩 제조 방법.

청구항 17.

제 14 항에 있어서,

상기 결정성 기판의 전극 패드가 형성된 측의 면 및 그 반대측의 면으로부터 레이저광을 조사하는, 반도체 칩 제조 방법.

청구항 18.

제 14 항에 있어서,

중앙부에 개구부를 가지는 전극 패드를 보호막으로 덮고, 레이저 광을 상기 보호막을 통하여 상기 개구부를 통과시키는, 반도체 칩 제조 방법.

청구항 19.

제 18 항에 있어서,

상기 전극 패드와 상기 결정성 기판의 표면 사이에 패턴화 된 보호막을 형성하고, 그 보호막의 형상에 의해 이방성 에칭의 에칭 형상을 규제하는, 반도체 칩 제조 방법.

청구항 20.

제 8 항 내지 제 19 항중 어느 한 항에 있어서,

레이저 광을 위상 격자에 의해 분기시켜 기판에 조사하는, 반도체 칩 제조 방법.

청구항 21.

제 8 항 내지 제 19 항중 어느 한 항에 있어서,

레이저 광을 랜덤 편광으로 변환하여 기판에 조사하는, 반도체 칩 제조 방법.

청구항 22.

제 8 항 내지 제 19 항중 어느 한 항에 있어서,

레이저 광을 원 편광시켜 상기 결정성 기판에 조사하는, 반도체 칩 제조 방법.

청구항 23.

결정성 기판에 레이저 광을 조사하여 선행 구멍을 형성하는 공정과, 이방성 에칭을 행하여 상기 선행 구멍을 확대하여 관통 구멍을 형성하는 공정과, 상기 관통 구멍의 내벽에 절연막을 형성하는 공정과, 상기 내벽이 절연된 관통 구멍에 도전재를 형성하고, 상기 결정성 기판의 한쪽의 면측과 다른쪽의 면측을 전기적으로 도통 상태로 하는 금속 범프를 형성하는 공정을 포함한 제조 방법에 의해 반도체 칩을 제조하며, 그 반도체 칩을 적층하여 반도체 장치를 제조하는, 반도체 장치 제조 방법.

청구항 24.

결정성 기판에 레이저 광을 조사하여 선행 구멍을 형성하는 공정과, 이방성 에칭을 행하여 상기 선행 구멍을 확대하여 관통 구멍을 형성하는 공정과, 상기 관통 구멍의 내벽에 절연막을 형성하는 공정과, 상기 내벽이 절연된 관통 구멍에 도전재를 형성하고, 상기 결정성 기판의 한쪽의 면측과 다른쪽의 면측을 전기적으로 도통 상태로 하는 금속 범프를 형성하는 공정을 포함한 제조 방법에 의해 반도체 칩을 제조하고, 그 반도체 칩을 적층하여 반도체 장치를 제조하며, 그 반도체 장치를 장착하여 회로 기판을 제조하는, 회로 기판 제조 방법.

청구항 25.

결정성 기판에 레이저 광을 조사하여 선행 구멍을 형성하는 공정과, 이방성 에칭을 행하여 상기 선행 구멍을 확대하여 관통 구멍을 형성하는 공정과, 상기 관통 구멍의 내벽에 절연막을 형성하는 공정과, 상기 내벽이 절연된 관통 구멍에 도전재를 형성하고, 상기 결정성 기판의 한쪽의 면측과 다른쪽의 면측을 전기적으로 도통 상태로 하는 금속 범프를 형성하는 공정을 포함한 제조 방법에 의해 반도체 칩을 제조하고, 그 반도체 장치를 장착하여 회로 기판을 제조하며, 그 회로 기판을 탑재하여 전자 기기를 제조하는, 전자 기기 제조 방법.

요약

본 발명은 높은 중형비·높은 신뢰성의 상하 도통 구조를 가지는 반도체 칩, 그 반도체 칩을 포함한 반도체 장치, 회로 기판 및 전자기기 및 그것들의 제조 방법에 관한 것이다. 면방위(100)면의 실리콘 기판(10)에 레이저 광을 조사하여 선행 구멍(3)을 형성한다. 그리고, 이방성 에칭을 행하여 선행 구멍(3)을 확대하여 관통 구멍(4)을 형성한다. 이 관통 구멍(4)의 내벽에 절연막을 형성하고, 그 안쪽에 도전재를 설치하여 금속 범프(30)를 형성한다.

대표도

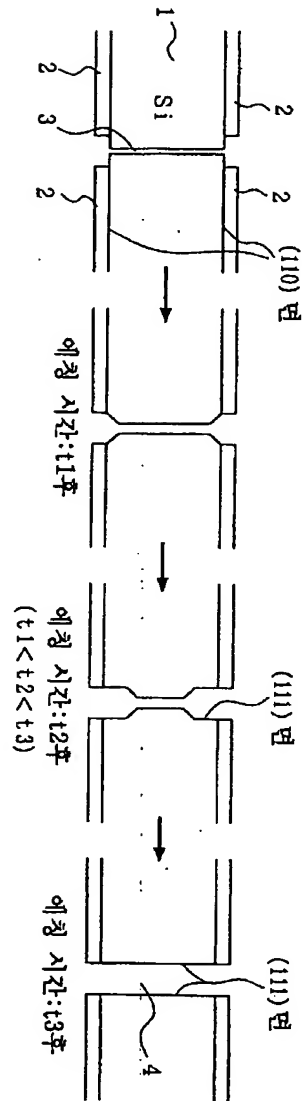
도3

색인어

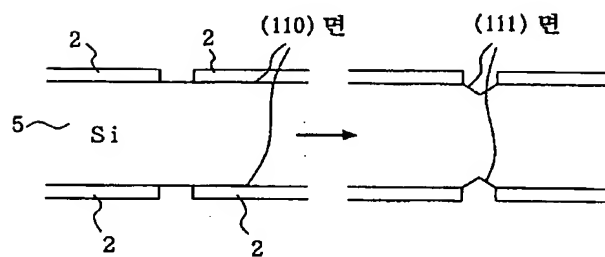
이방성 에칭, 금속 범프

도면

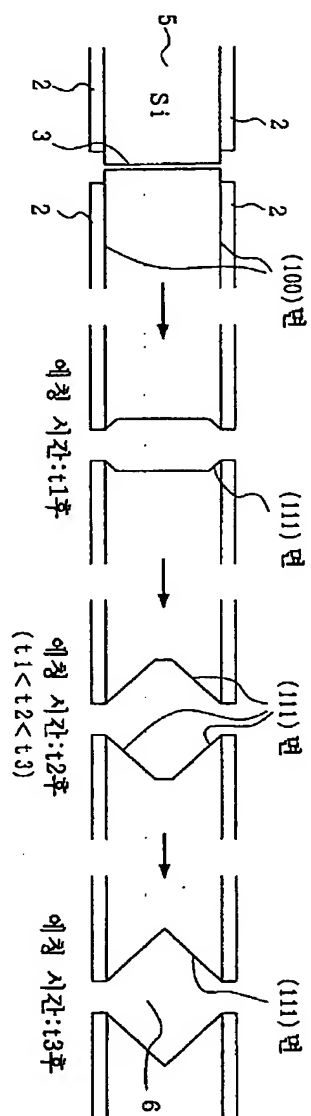
도면 1a



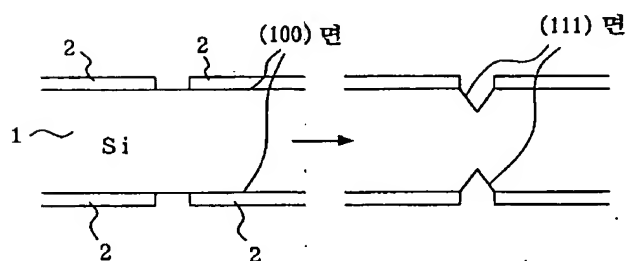
도면 1b



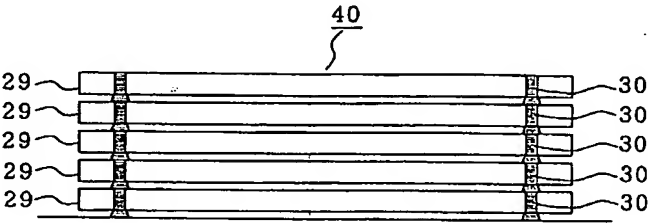
도면 2a



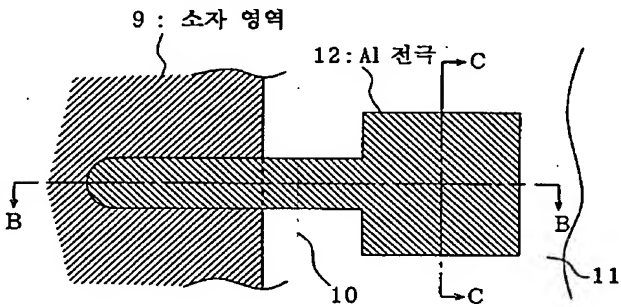
도면 2b



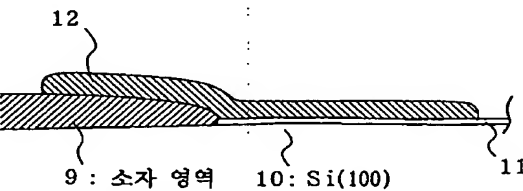
도면 3



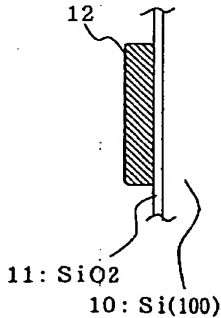
도면 4a



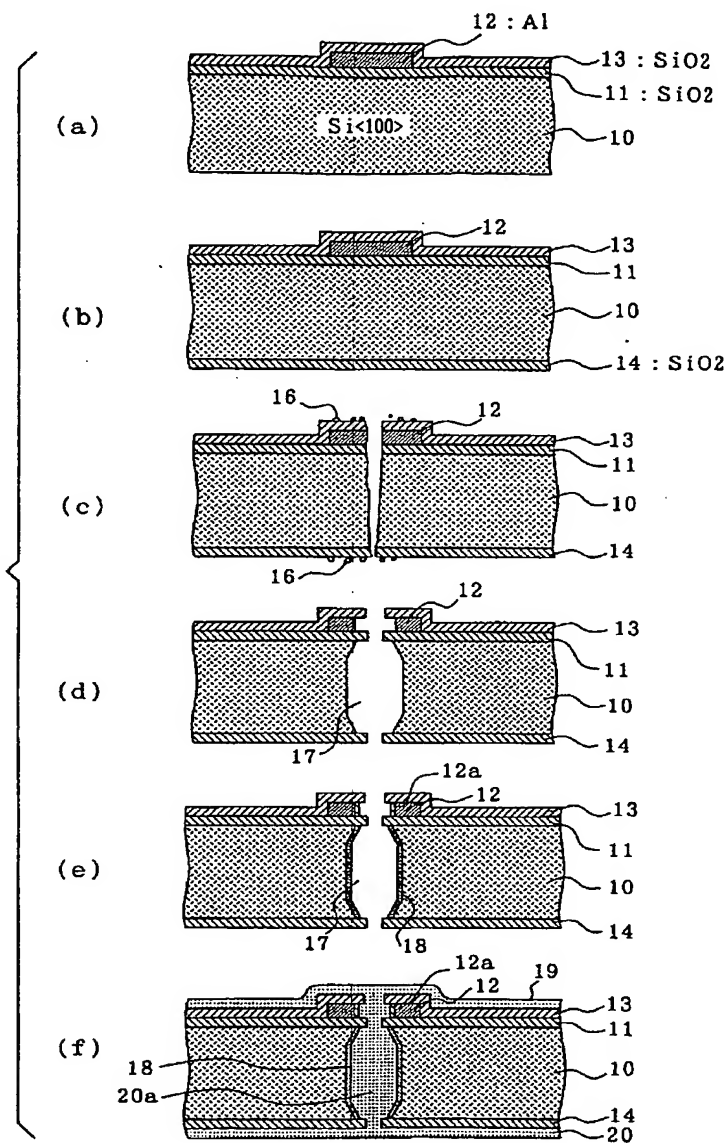
도면 4b



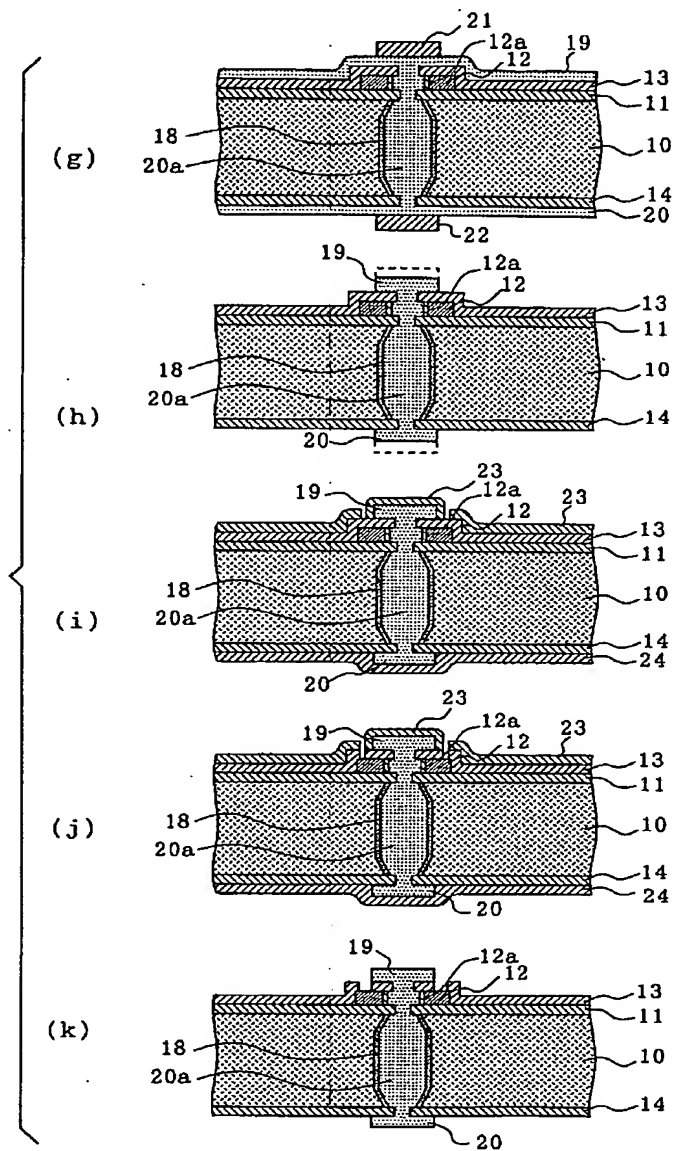
도면 4c



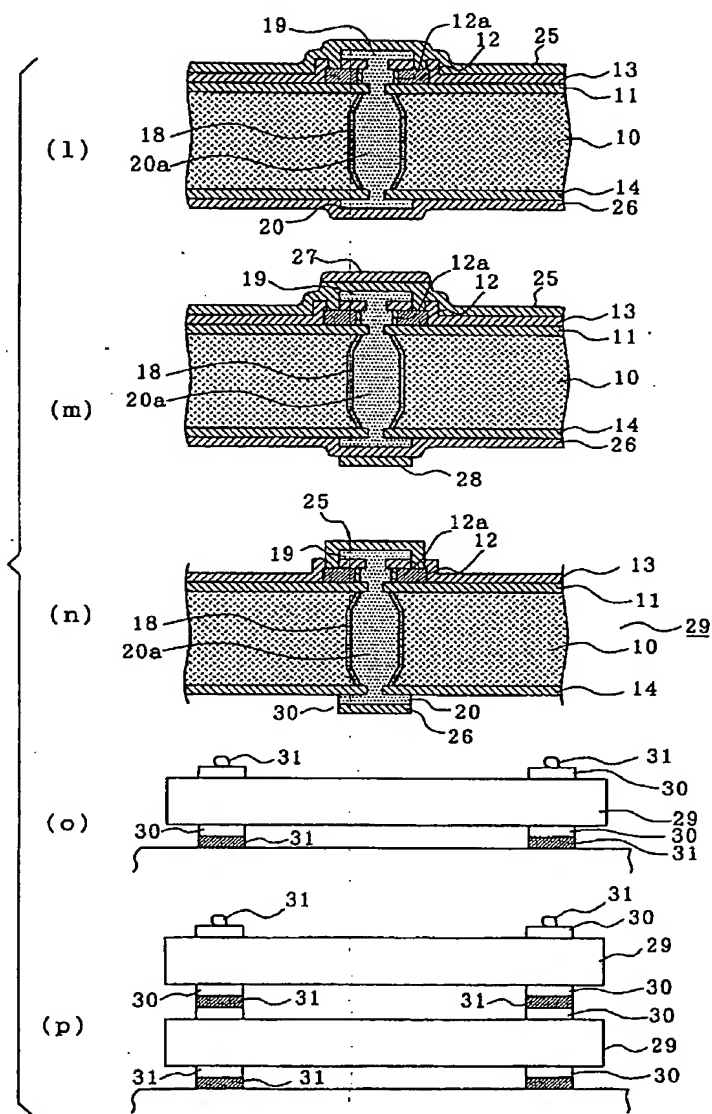
도면 5



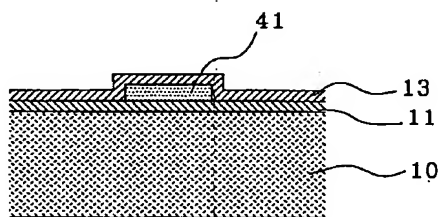
도면 6



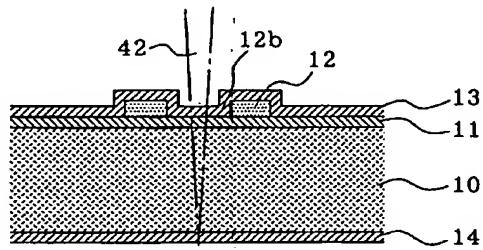
도면 7



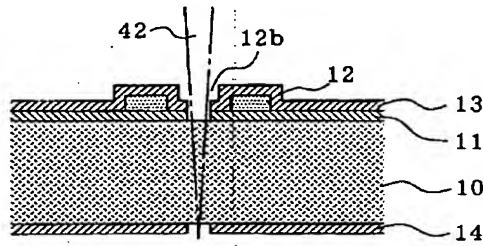
도면 8



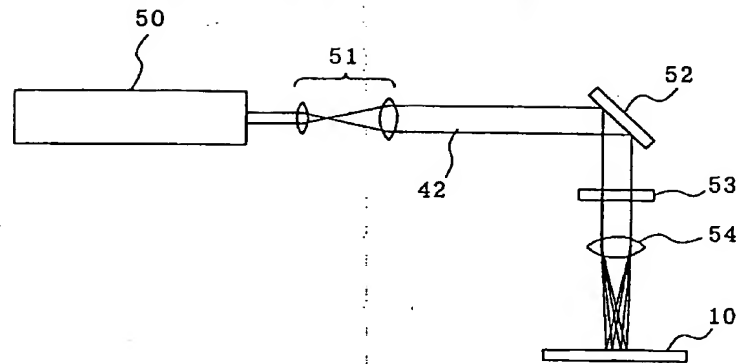
도면 9



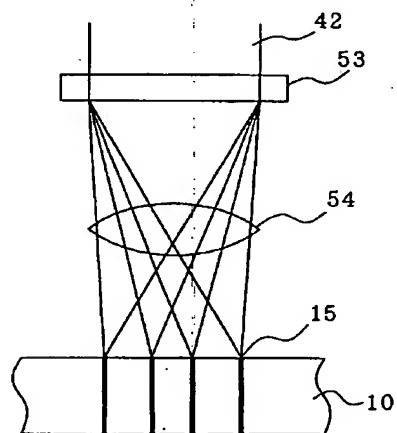
도면 10



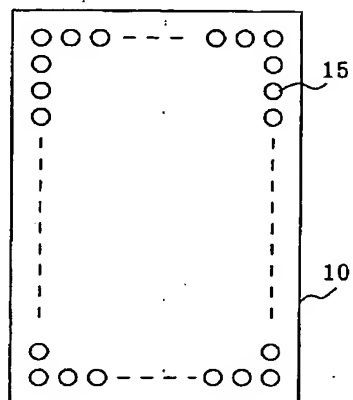
도면 11



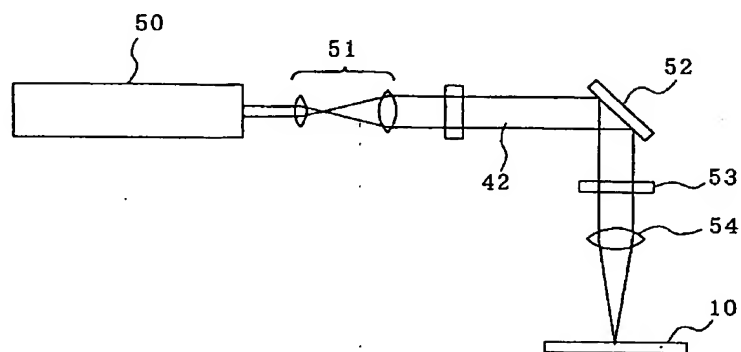
도면 12a



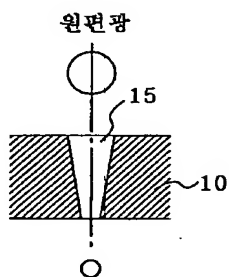
도면 12b



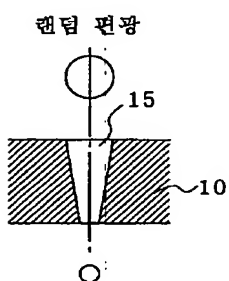
도면 13



도면 14a

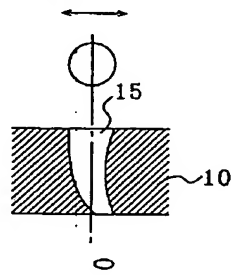


도면 14b



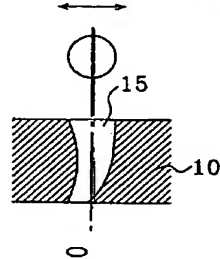
도면 14c

S편광이 조사되는 방향
(향하여 우측으로 굴곡한 경우)



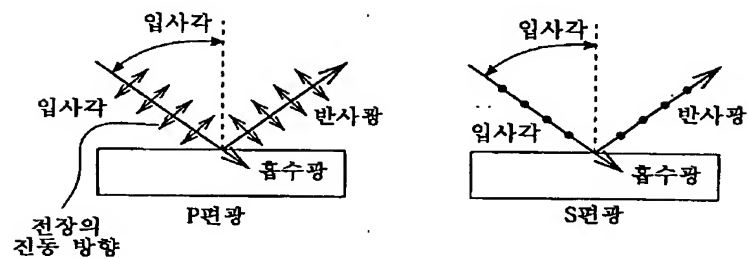
도면 14d

S편광이 조사되는 방향
(향하여 좌측으로 굴곡한 경우)



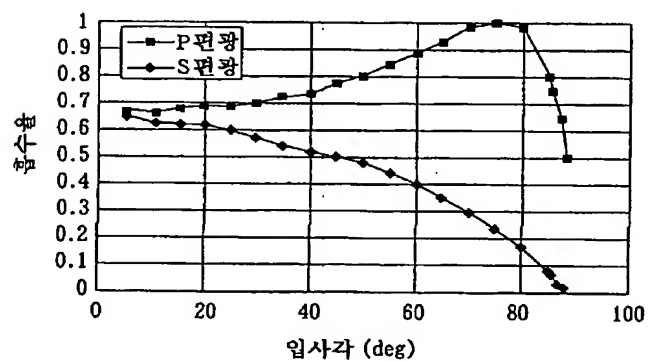
도면 15a

편광과 Si의 레이저광 흡수율의 관계

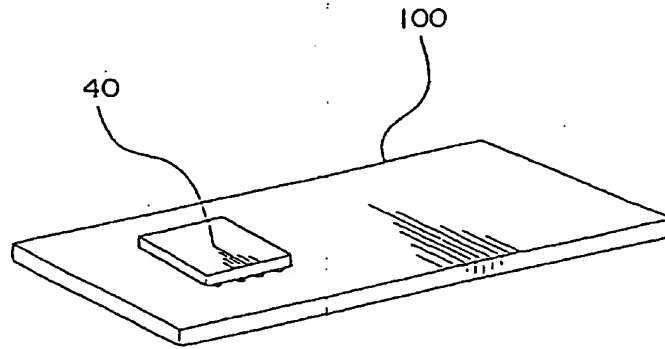


도면 15b

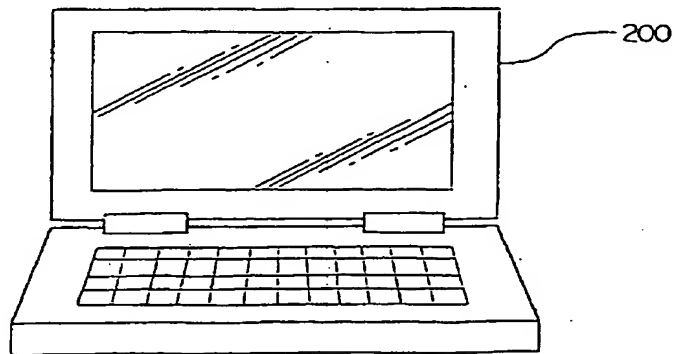
Si표면에 있어서의 편광 방향과 흡수율의 관계



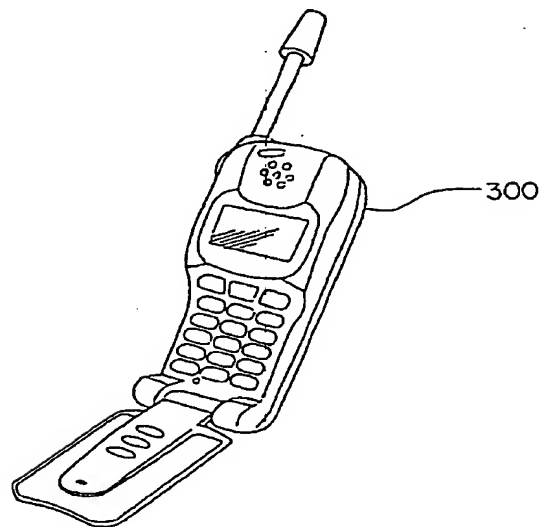
도면 16



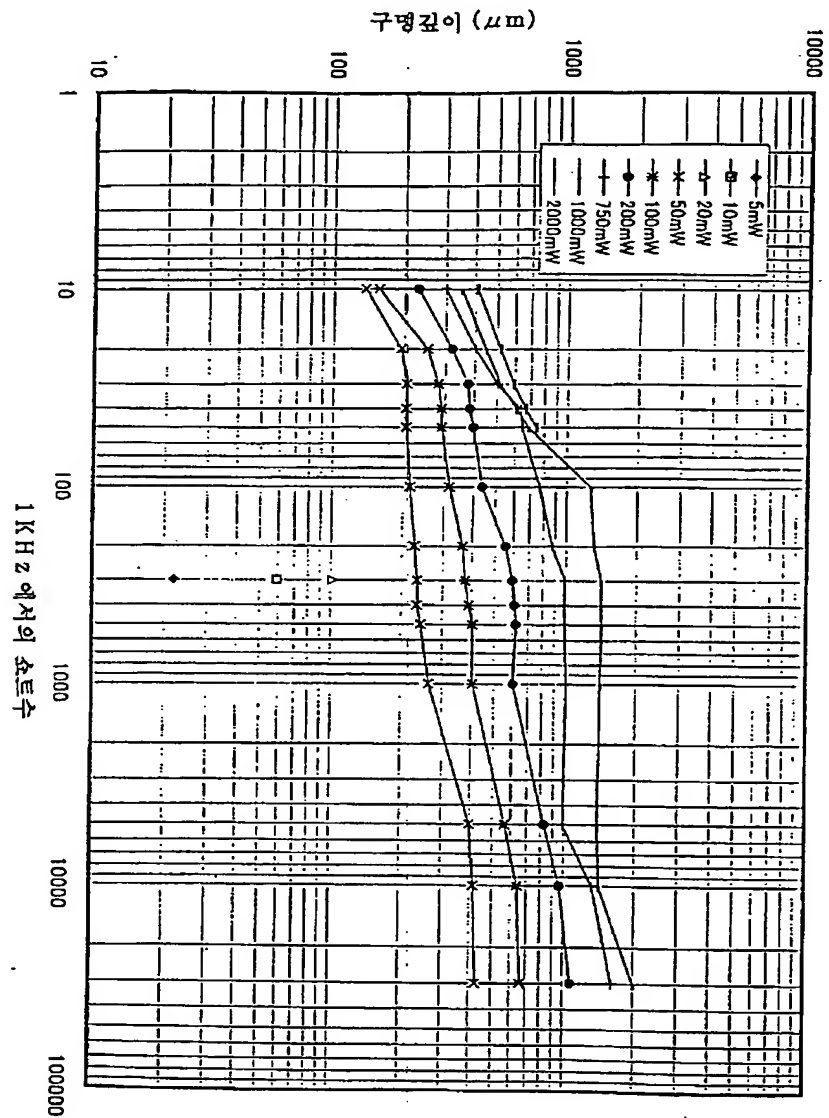
도면 17



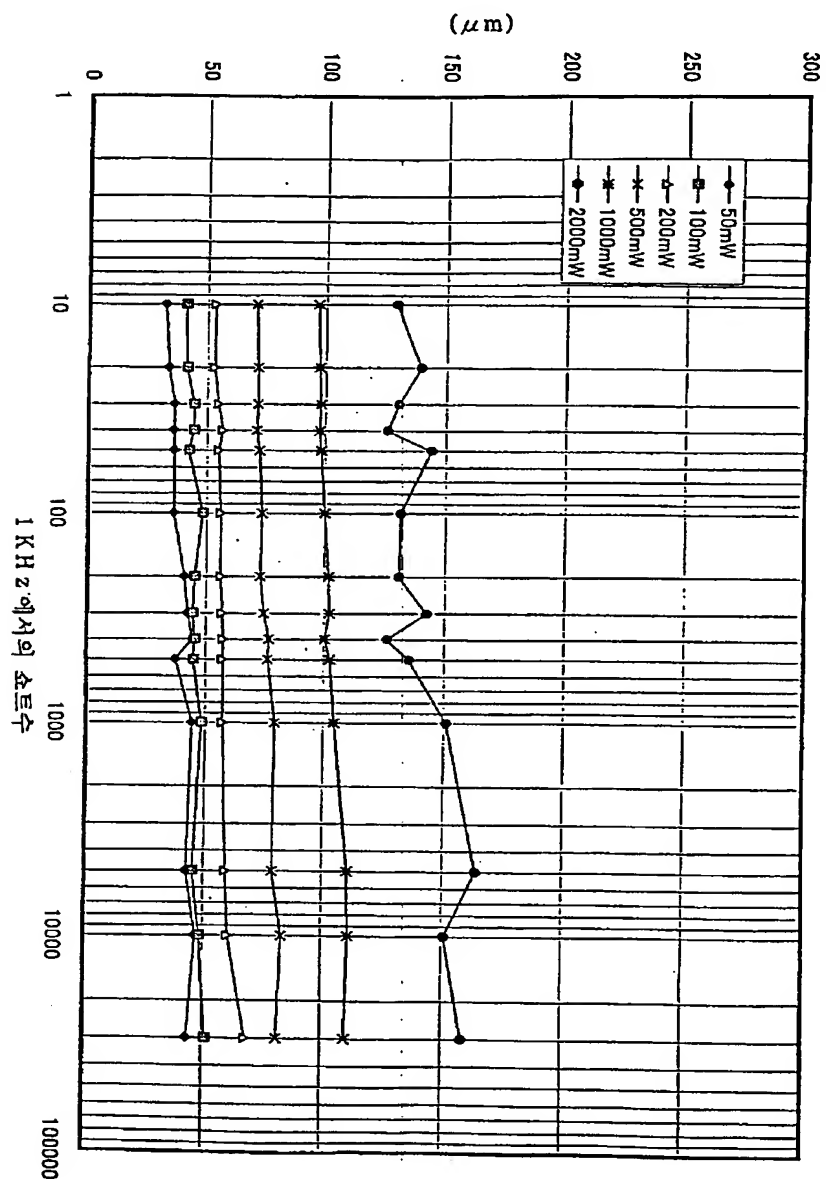
도면 18



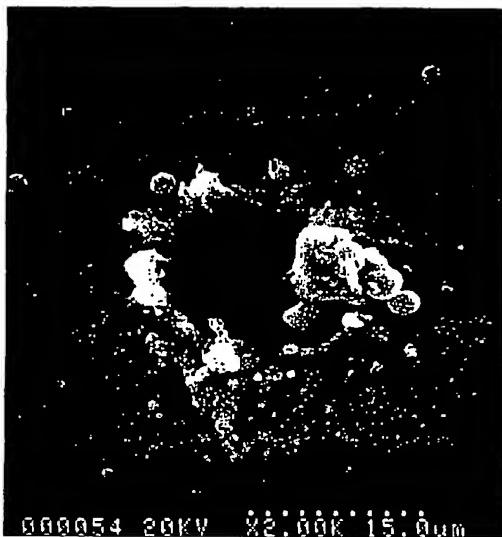
도면 19



도면 20

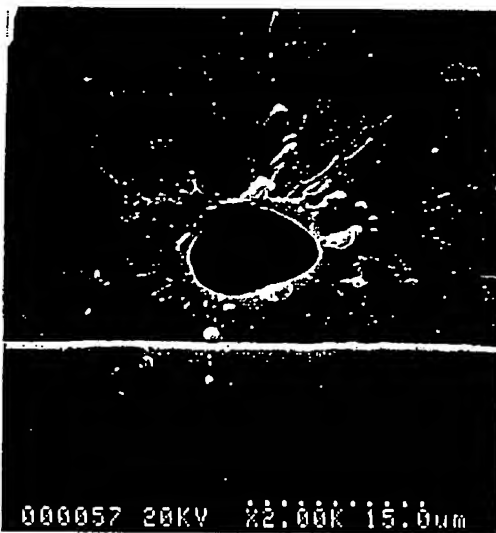


도면 21a



레이저 입사면

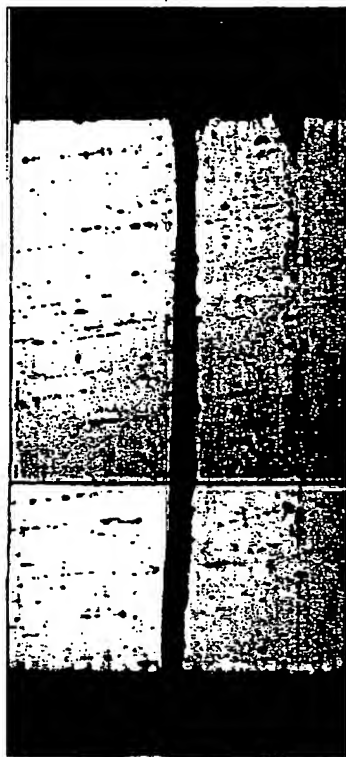
도면 21b



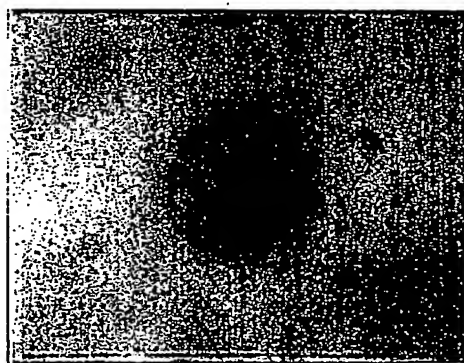
레이저 출사면

BEST AVAILABLE COPY

도면 21c

× 200

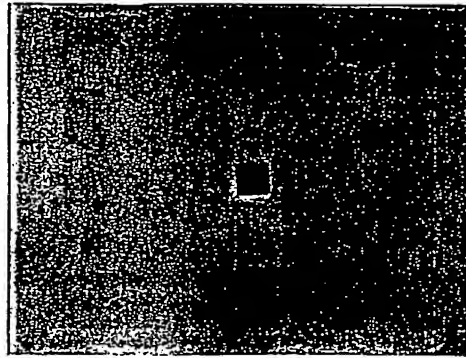
도면 22a

에칭전(출사면)× 200

BEST AVAILABLE COPY

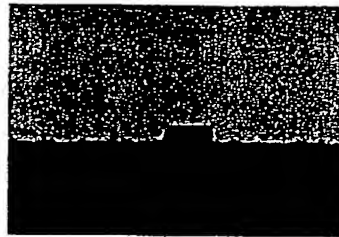
도면 22b

에칭후(출사면)



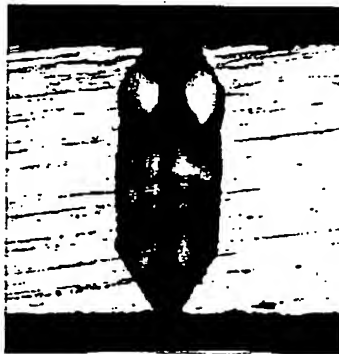
× 200

도면 23a



입사면 × 100

도면 23b



단면(절단면 관찰) × 100

도면 23c



출사면 × 100

BEST AVAILABLE COPY

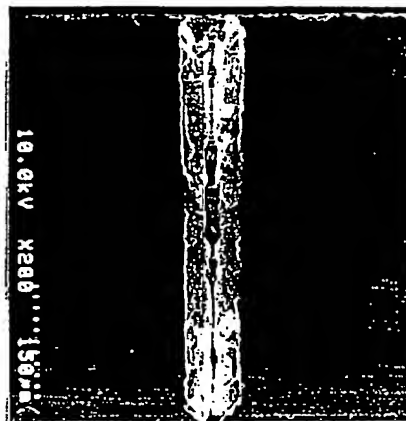
도면 24a

쇼트수 50일때

도면 24b

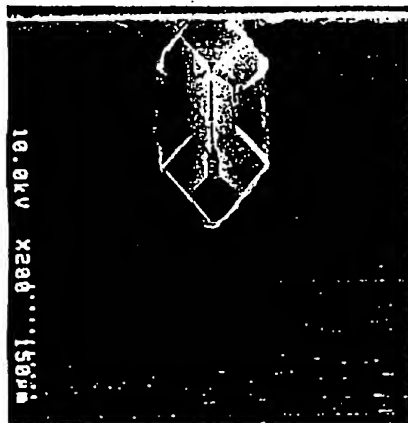
쇼트수 500일때

도면 24c

쇼트수 5000일때

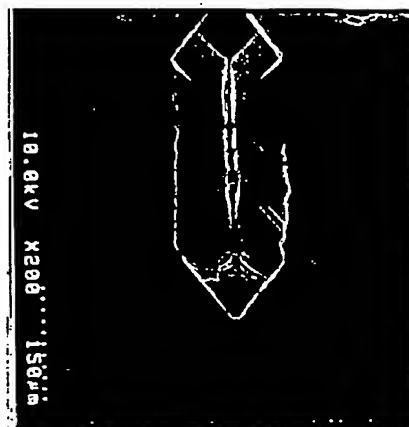
BEST AVAILABLE COPY

도면 25a



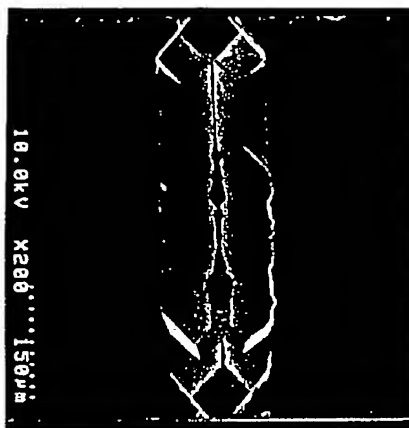
쇼트수 50일때

도면 25b



쇼트수 500일때

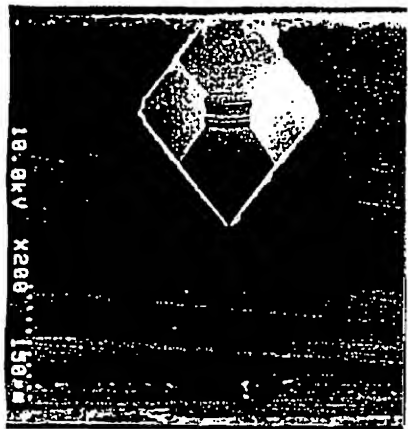
도면 25c



쇼트수 5000일때

BEST AVAILABLE COPY

도면 26a



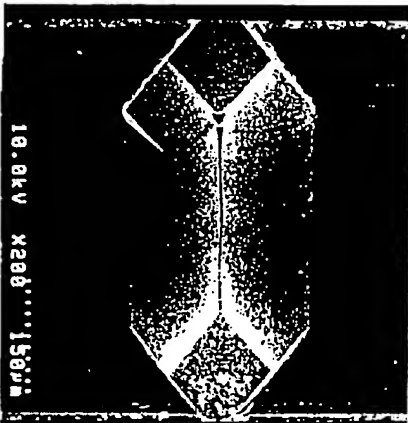
쇼트수 50일때

도면 26b



쇼트수 500일때

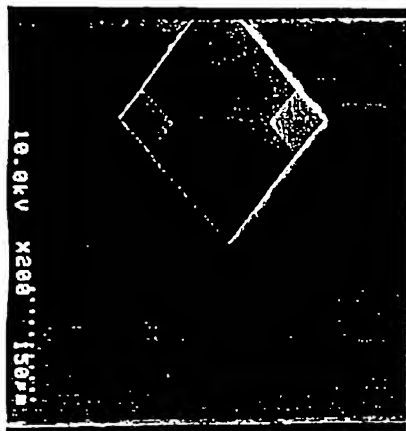
도면 26c



쇼트수 5000일때

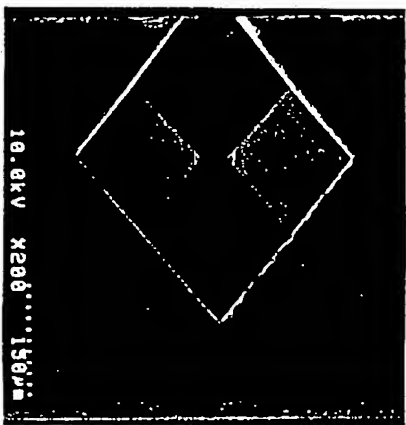
BEST AVAILABLE COPY

도면 27a



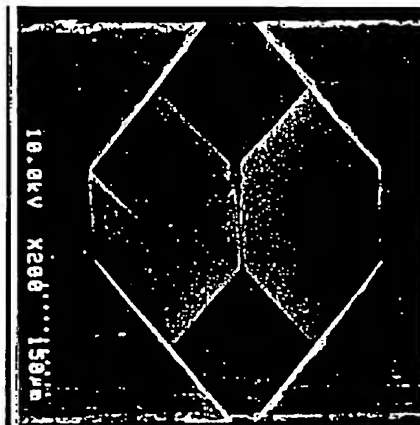
쇼트수 50일때

도면 27b



쇼트수 500일때

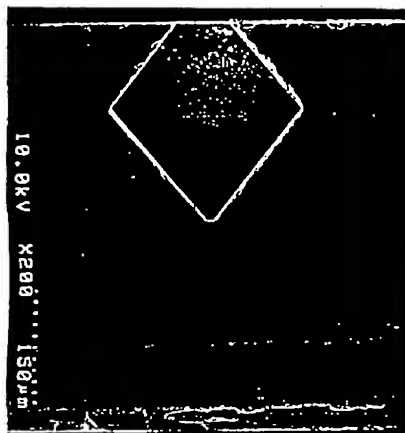
도면 27c



쇼트수 5000일때

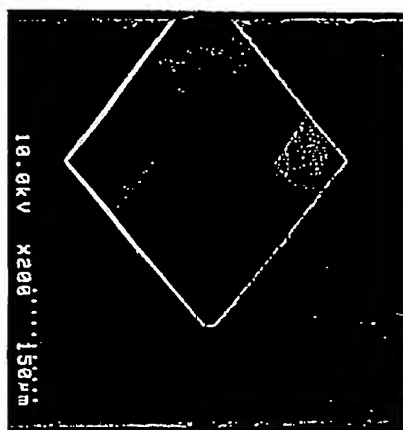
BEST AVAILABLE COPY

도면 28a



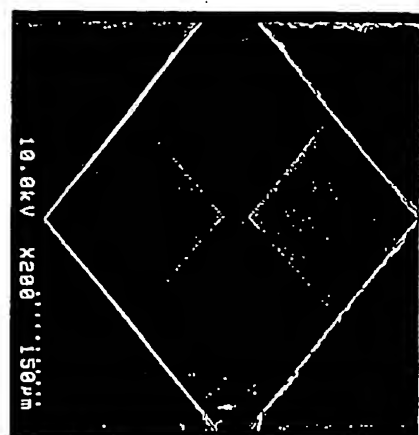
쇼트수 50일때

도면 28b



쇼트수 500일때

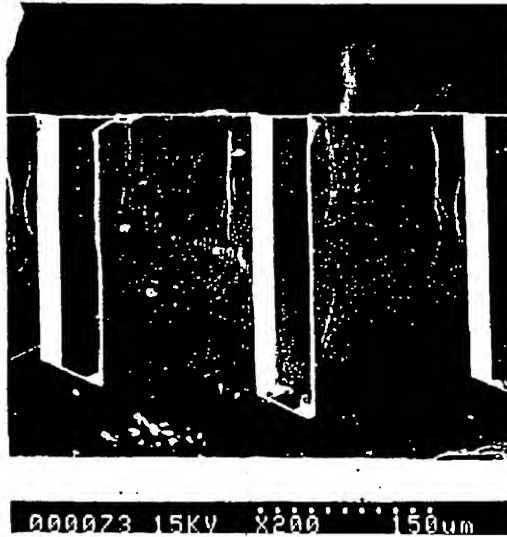
도면 28c



쇼트수 5000일때

BEST AVAILABLE COPY

도면 29a



레이저 미관통시

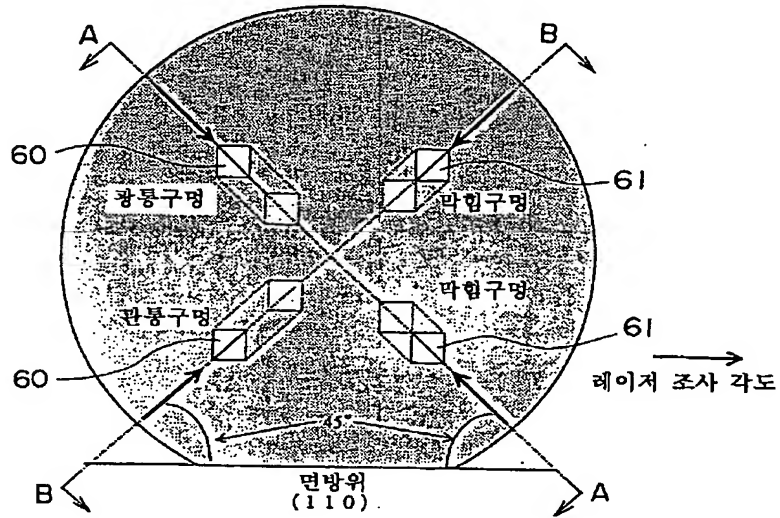
도면 29b



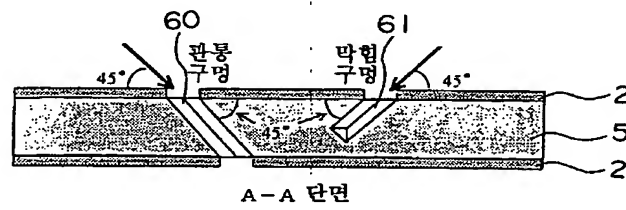
레이저 관통시

BEST AVAILABLE COPY

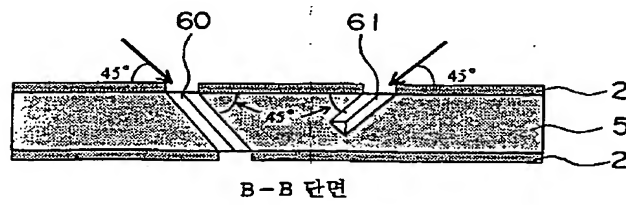
도면 30



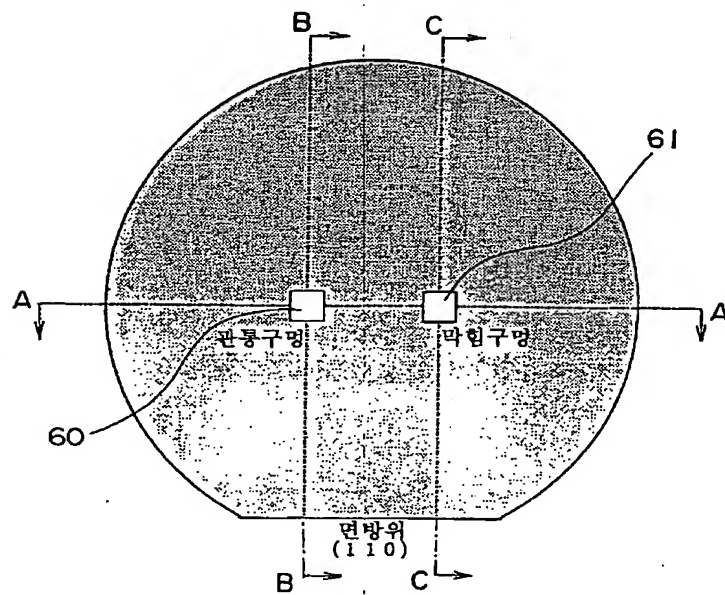
도면 31a



도면 31b

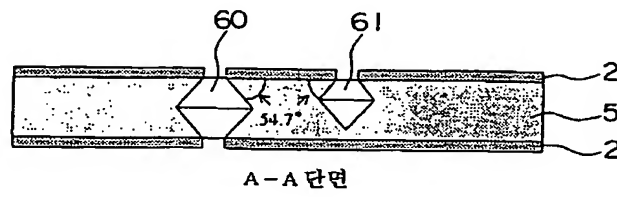


도면 32

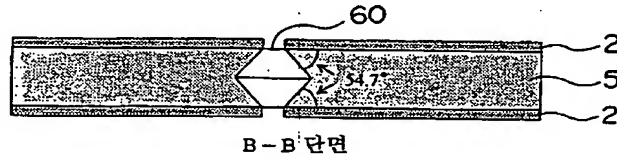


BEST AVAILABLE COPY

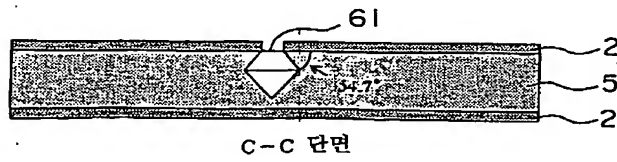
도면 33a



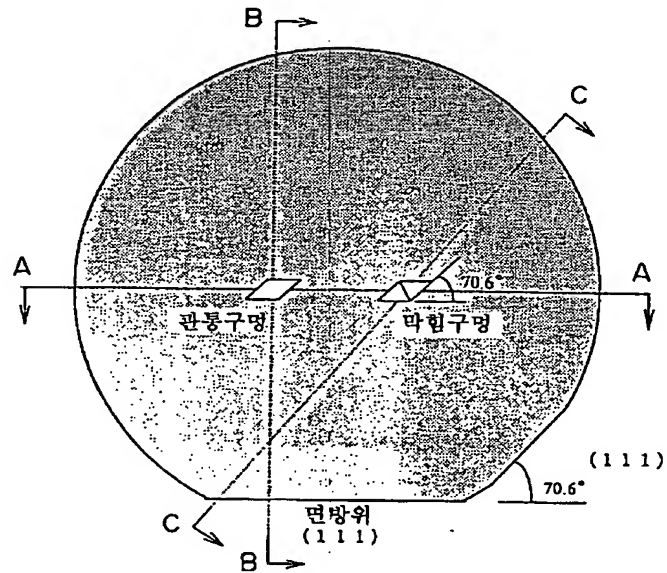
도면 33b



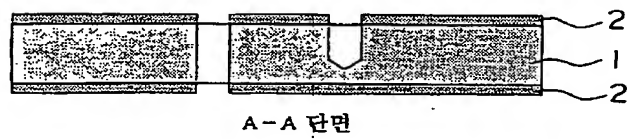
도면 33c



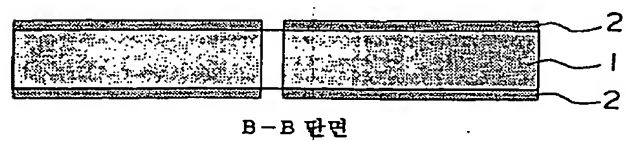
도면 34



도면 35a

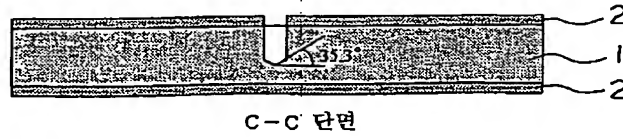


도면 35b

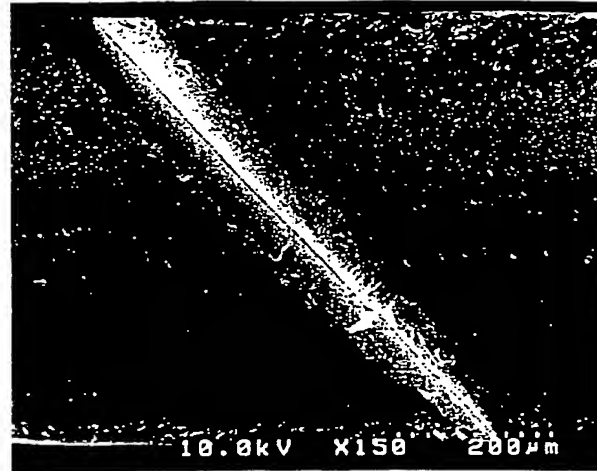


BEST AVAILABLE COPY

도면 35c



도면 36



도면 37



BEST AVAILABLE COPY